



JP2002305205

Biblio

Page 1

Drawing

Prev



SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

Patent Number: JP2002305205
Publication date: 2002-10-18
Inventor(s): ATSUMI KENJI;; YAMAGATA HIDEO
Applicant(s): SONY CORP
Requested Patent: ☒ JP2002305205
Application Number: JP20010107378 20010405
Priority Number(s):
IPC Classification: H01L21/331; H01L29/732; H01L29/737
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To suppress the misfit transposition caused by the stress accompanying the difference of thermal expansion coefficient between a base layer and a foundation, in the case of using the epitaxial mixed crystal layer of silicon germanium for the base layer of a bipolar transistor.

SOLUTION: An n+ collector region 2, an n- epitaxial layer 3, an element isolating oxide silicon film 4, a silicon oxide film 5, etc., are formed on a p-type silicon substrate 1, and then a silicon nitride film 51 through low-pressure CVD technique to serve as a stress relaxing layer is made. Subsequently, the silicon nitride film 51 is opened, with a CVD oxide silicon film as a mask, and further the silicon oxide film 5 is opened, using dilute fluoric acid aqueous solution; and at the same time, the removal of the CVD oxide silicon film used as a mask of the silicon nitride film 51 is performed. Then, an epitaxial mixed crystal layer of SiGe is formed by the same method as a conventional example, and further the electrodes of a base, an emitter, and a collector are formed.

Data supplied from the esp@cenet database - l2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-305205

(P2002-305205A)

(43) 公開日 平成14年10月18日 (2002. 10. 18)

(51) Int. Cl.⁷

識別記号

F I

テーマコード (参考)

H 0 1 L 21/331

C 2 3 C 16/42

4 K 0 3 0

29/732

H 0 1 L 29/72

H 5 F 0 0 3

29/737

S

// C 2 3 C 16/42

審査請求 未請求 請求項の数22 O L (全 8 頁)

(21) 出願番号 特願2001-107378 (P2001-107378)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 35 号

(22) 出願日 平成13年 4 月 5 日 (2001. 4. 5)

(72) 発明者 厚海 憲二

東京都品川区北品川 6 丁目 7 番 35 号 ソニー株式会社内

(72) 発明者 山縣 秀夫

東京都品川区北品川 6 丁目 7 番 35 号 ソニー株式会社内

(74) 代理人 100089875

弁理士 野田 茂

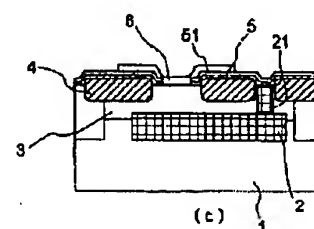
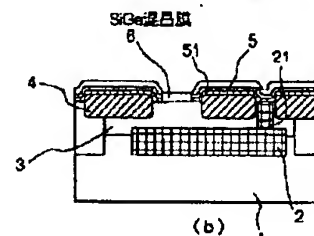
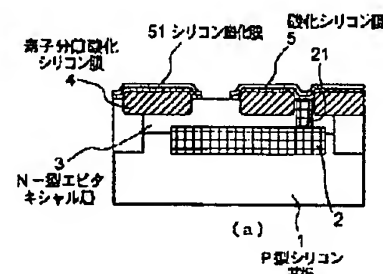
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 バイポーラトランジスタのベース層にシリコンゲルマニウムのエピタキシャル混晶層を使用する場合にベース層と下地との熱膨張係数の差に伴う応力によるミスフィット転位を抑制する。

【解決手段】 P型シリコン基板 1 に N⁺ のコレクタ領域 2、N-エピタキシャル層 3、素子分離酸化シリコン膜 4、酸化シリコン膜 5 等を形成した後、応力緩和層となる減圧 CVD 技術によるシリコン窒化膜 51 を形成する。続いて、CVD 酸化シリコン膜をマスクとして、シリコン窒化膜 51 を開口し、さらに希フッ酸水溶液を用いて酸化シリコン膜 5 を開口すると同時に、シリコン窒化膜 51 のマスクとして用いた CVD 酸化シリコン膜の除去を行う。この後、従来例と同じ手法によって SiGe のエピタキシャル混晶層を形成し、さらに、ベース、エミッタ、コレクタの電極を形成する。



【特許請求の範囲】

【請求項1】 半導体基板上に設けられる素子形成層と、
前記素子形成層上に設けられ、バイポーラトランジスタのベースとなる能動領域に対応する開口部を有して形成された素子分離絶縁膜と、
前記素子分離絶縁膜の開口部からその周辺領域にわたる領域に形成されるベース層と、
前記素子分離絶縁膜とベース層との間に設けられ、熱膨張による応力を緩和する応力緩和層と、
を有することを特徴とする半導体装置。

【請求項2】 前記応力緩和層は、前記ベース層の熱膨張係数に近い熱膨張係数を有することを特徴とする請求項1記載の半導体装置。

【請求項3】 前記素子形成層は、P型の半導体基板上に形成したN型エピタキシャル層よりなることを特徴とする請求項1記載の半導体装置。

【請求項4】 前記素子分離絶縁膜は酸化シリコン膜よりなることを特徴とする請求項1記載の半導体装置。

【請求項5】 前記応力緩和層と素子分離絶縁膜との間に、酸化シリコン膜よりなる絶縁膜を有することを特徴とする請求項4記載の半導体装置。

【請求項6】 前記ベース層はシリコンとゲルマニウムの混晶層を含むことを特徴とする請求項1記載の半導体装置。

【請求項7】 前記ベース層は 前記素子分離絶縁膜の開口部に露出した前記素子形成層のベース領域上に形成されるシリコンとゲルマニウムのエピタキシャル混晶層と、前記応力緩和層上に形成されるシリコンとゲルマニウムの多結晶層とを同時工程により一体形成したものであることを特徴とする請求項6記載の半導体装置。

【請求項8】 前記ベース層は複数層構造を有することを特徴とする請求項6記載の半導体装置。

【請求項9】 前記ベース層は、シリコンバッファ層と、シリコン-ゲルマニウム混晶層と、シリコンキャップ層の3層構造を有することを特徴とする請求項8記載の半導体装置。

【請求項10】 前記応力緩和層は、シリコン窒化膜よりなることを特徴とする請求項1記載の半導体装置。

【請求項11】 半導体基板上に素子形成層を設ける第1のステップと、
前記素子形成層上にバイポーラトランジスタのベースとなる能動領域に対応する開口部を有する素子分離絶縁膜を設ける第2のステップと、
前記素子分離絶縁膜上に応力緩和層を形成する第3のステップと、
前記素子分離絶縁膜の開口部からその周辺領域にわたる領域にベース層を形成する第4のステップと、
を有することを特徴とする半導体装置の製造方法。

【請求項12】 前記応力緩和層は、前記ベース層の熱

膨張係数に近い熱膨張係数を有することを特徴とする請求項11記載の半導体装置の製造方法。

【請求項13】 前記素子形成層は、P型の半導体基板上に形成したN型エピタキシャル層よりなることを特徴とする請求項11記載の半導体装置の製造方法。

【請求項14】 前記素子分離絶縁膜は酸化シリコン膜よりなることを特徴とする請求項11記載の半導体装置の製造方法。

【請求項15】 前記応力緩和層と素子分離絶縁膜との間に、酸化シリコン膜よりなる絶縁膜を有することを特徴とする請求項14記載の半導体装置の製造方法。

【請求項16】 前記ベース層はシリコンとゲルマニウムの混晶層を含むことを特徴とする請求項11記載の半導体装置の製造方法。

【請求項17】 前記ベース層は 前記素子分離絶縁膜の開口部に露出した前記素子形成層のベース領域上に形成されるシリコンとゲルマニウムのエピタキシャル混晶層と、前記応力緩和層上に形成されるシリコンとゲルマニウムの多結晶層とを同時工程により一体形成したものであることを特徴とする請求項16記載の半導体装置の製造方法。

【請求項18】 前記ベース層は複数層構造を有することを特徴とする請求項16記載の半導体装置の製造方法。

【請求項19】 前記ベース層は、シリコンバッファ層と、シリコン-ゲルマニウム混晶層と、シリコンキャップ層の3層構造を有することを特徴とする請求項18記載の半導体装置の製造方法。

【請求項20】 シリコン原料ガスのみを反応炉内に導入し、前記素子形成層の単結晶シリコン表面が露出しているベース領域の活性領域にシリコンエピタキシャル層を形成すると同時に、前記応力緩和層上に多結晶シリコン膜を形成するシリコンバッファ層形成ステップと、
シリコン原料ガスとゲルマニウム原料ガスを反応炉内に導入し、前記ベース領域の活性領域上のシリコンエピタキシャル層上にシリコンとゲルマニウムのエピタキシャル層を形成すると同時に、前記応力緩和層上の前記多結晶シリコン上に多結晶のシリコン-ゲルマニウム膜を形成するシリコン-ゲルマニウム混晶層形成ステップと、
シリコン原料ガスのみを反応炉内に導入し、前記シリコン-ゲルマニウムのエピタキシャル層が露出しているベース領域の活性領域にシリコンエピタキシャル層を形成すると同時に、前記応力緩和層上の前記シリコン-ゲルマニウム膜の上に多結晶のシリコン膜を形成するシリコンキャップ層形成ステップと、
を有することを特徴とする請求項19記載の半導体装置の製造方法。

【請求項21】 前記シリコン原料ガスとしてモノシランを用い、前記ゲルマニウム原料ガスとしてゲルマンを用いることを特徴とする請求項20記載の半導体装置の

製造方法。

【請求項22】 前記応力緩和層は、シリコン窒化膜よりなることを特徴とする請求項11記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、シリコンとゲルマニウムの混晶層をベース領域に用いた半導体装置及びその製造方法に関し、特にヘテロ接合バイポーラトランジスタに適用して有効な技術に関する。

【0002】

【従来の技術】近年、情報、サービス、エンターテインメント、通信が融合したマルチメディア時代の到来に伴い、大容量データの高速伝送を行なう必要性の高まりから、バイポーラトランジスタにもさらなる高性能化が要求されている。そして、バイポーラトランジスタの高速化を図るためには、高濃度でかつ薄いベース層の形成が不可欠である。しかし、従来のイオン注入技術を用いたベース層の形成では、注入不純物のチャネリングのため、40nm以下のベース幅を実現することは困難であった。この問題の解決策として、シリコン(Si)基板上にシリコン-ゲルマニウム($\text{Si}_{1-x}\text{Ge}_x$; 以下、SiGeという)の混晶層をエピタキシャル成長させる技術に応用したヘテロ接合バイポーラトランジスタ(hetero bipolar transistor; 以下、HBTという)が注目されている。

【0003】すなわち、ベースの浅接合化はベース不純物濃度の増大を招き、エミッタへの正孔の注入が問題となるが、SiGe HBTでは、ベース領域にシリコンに比べてバンドギャップの狭いSiGeを用いることで、エミッターベース間に電位障壁が生じるので、正孔のエミッタへの注入は大幅に減少する。従って、ベースを高キャリア濃度にしてベース抵抗の低減ができ、さらに十分大きい電流増幅率(h_{FE})が得られる。この結果、十分な耐圧を確保しながら、高い高周波特性を実現することができる。また、ゲルマニウムのプロファイルに傾斜をつけることにより、キャリアのベース走行時間(τ_B)を短縮した、優れた高周波特性をもつ高速バイポーラトランジスタを実現することができる。

【0004】

【発明が解決しようとする課題】しかしながら、SiGe混晶層は、シリコンとゲルマニウムの格子定数、および熱膨張係数が異なることから、その内部に応力が発生し、ミスフィット転位とよばれる結晶欠陥の問題が起こる。そして、このミスフィット転位は、ゲルマニウム濃度に強く依存するためゲルマニウム濃度を少なくすれば、結晶欠陥の発生を抑制することは可能であるが、バンドギャップを狭める効果が少なくなり、所望のバイポーラトランジスタの性能が得られなくなる。また、SiGe HBTの製造工程においては、LOCOS(local

oxidation of silicon: 局部シリコン酸化)法によって分離された能動領域にSiGe混晶層をエピタキシャル成長させ、同時に能動領域を分離している酸化膜上に多結晶のSiGe混晶層を形成する場合がある。この場合は、シリコンとゲルマニウムの物性の違いに加えて、LOCOSによる応力や酸化膜とシリコンおよびゲルマニウムとの熱膨張係数の違いによる応力も発生するため、ミスフィット転位が起こり易い。

【0005】以下、このようなSiGe HBTの製造工程と、その問題点について図4～図8を用いて具体的に説明する。図4及び図5は、従来のSiGe HBTの製造工程を示す断面図であり、図6は、図4(b)に示す工程におけるSiGe HBTの一部を拡大して示す断面図である。まず、図4(a)において、P型シリコン基板1の上層に酸化シリコン膜を熱酸化により形成し、NPNトランジスタのコレクタ領域に対応する酸化シリコン膜を開口する。そこに、 Sb_2O_3 による固体ソース拡散を行ない、N+のコレクタ領域2を形成する。その後、既存の技術により、N-エピタキシャル層3を形成する。その後、LOCOS法による素子分離酸化シリコン膜4を形成する。続いて、前記N-エピタキシャル層3中の所定部分に、N+のコレクタ領域2と接続するN+型プラグ層21を形成する。

【0006】その後、原料ガスとしてテトラエトキシシラン(TEOS)を用いて、CVD(chemical vapor deposition)技術により酸化シリコン膜(TEOS-CVD膜)5を形成し、さらに熱処理を加えて酸化シリコン膜5を緻密化させる。続いて、NPNトランジスタのベース領域となる部分にレジストパターンを形成し、RIE(reactive ion etching)技術とウエットエッチングにより酸化シリコン膜5を開口する。

【0007】続いて、半導体基板の表面に付着している有機物を除去するために、例えば、所定の温度に加熱した硫酸と過酸化水素水との混合液を用いて洗浄する。次に、半導体基板上のパーティクルを除去するために、例えば、所定の温度に加熱したアンモニアと過酸化水素水との混合液を用いて洗浄する。次に、半導体基板上の表面の金属汚染物および自然酸化膜を除去するために、希フッ酸水溶液を用いて洗浄する。なお、この希フッ酸水溶液による洗浄では、水素パッシベーション処理も行われ、N-エピタキシャル層3の露出した表面が水素でターミネートされる。続いて、上述のような各洗浄処理が施された半導体基板は、図4(b)及び図6に示すSiGeエピタキシャル混晶層6を形成するための成膜装置に導入される。通常、この成膜は、低温エピタキシャル技術(low temperature epitaxial)で行われる。ここでは、減圧化学気相成長法(RPCVD: reduced pressure chemical vapor deposition)によって成膜される。

【0008】次に、半導体基板は、真空排気機能を有するロードロックに搬入され、所定時間の真空排気が行わ

れる。そして、このロードロックに接続された反応炉に半導体基板を大気に解放せずに搬入する。次に、反応炉に水素ガスを導入しながら、約900°Cまで半導体基板を加熱し、約5分間の水素ベークを行う。次に水素ガスを導入したままで、約710~660°Cの温度まで降温し、成膜のための原料ガスであるモノシラン(SiH_4)、ゲルマン(GeH_4)、および不純物ガスとしてジボラン(B_2H_6)ガスを供給してエピタキシャル成長を行う。

【0009】次に、このようなエピタキシャル成長によるSiGe混晶層6の成膜手順について説明する。図7は、SiGe混晶層の成膜作業におけるタイムチャートを示す説明図であり、図8は、SiGe混晶層の構造を拡大して示す断面図である。SiGe混晶層6は、図8に示すようにシリコンバッファ層61、SiGe混晶層62、シリコンキャップ層63の3層構造となっている。シリコンバッファ層61は、ベースの能動領域を開いた際に、N-エピタキシャル層3の表面に微妙な凹凸が発生するために、その凹凸を平滑化すること、及び素子分離酸化シリコン膜4上に多結晶のSiGe混晶層6を形成する際に、seedとなる層を形成することを目的としている。

【0010】なお、SiGe混晶層6を形成する場合、素子分離酸化シリコン膜4及び酸化シリコン膜5の下地の相違から、素子分離酸化シリコン膜4の上ではSiとGeの多結晶層となり、酸化シリコン膜5の上ではSiとGeのエピタキシャル混晶層となる。また、シリコンキャップ層63は、エミッタの拡散を行うための領域として用いている。さらに、素子分離酸化シリコン膜4上に形成した多結晶SiGe膜はベースの取り出し電極として用いる。

【0011】このようなSiGeエピタキシャル混晶層の成膜工程は、まず第1に、例えば約710°Cの温度で、モノシラン分圧を26.7Pa(0.2Torr)とし、反応炉内にモノシランを供給し、シリコンエピタキシャル膜を約15nm形成する。この時、素子分離酸化シリコン膜4上には多結晶シリコン膜が同時に形成される。続いて、反応炉内の温度を約660°Cに降温し、モノシランとゲルマンのガスを所望のゲルマニウム濃度および所望の膜厚となるようガス流量を制御して反応炉内に供給する。この際に、所望のボロンのプロファイルとなるようにジボランガス流量を制御して反応炉内に供給する。続いて、反応炉内の温度を約680°Cにして反応炉内にモノシランおよびジボランガスを供給してボロンドープのシリコンエピタキシャル層を所望の膜厚となるよう成膜を行う。

【0012】SiGe混晶層を形成後、図4(c)に示すように、素子分離酸化シリコン膜4上の多結晶SiGe混晶層は、ベースの取り出し電極以外の領域に関して、既存のRIE技術により除去する。続いて、図5

(d)に示すようにCVD技術により酸化シリコン膜22を形成し、熱処理を加えて、このCVD技術による酸化シリコン膜22を緻密化させる。その後、エミッタとなる領域を既存のRIE技術により開口する。続いて、このエミッタ開口を用いて、イオン注入技術により、ベース不純物のコレクタ側の不純物を相殺するために、リンを導入した領域(以下、SIIIC(Selectively Ion Implanted Collector)領域という)7を形成する。

【0013】続いて、エミッタ領域となる部分に既存のCVD技術およびRIE技術を用いて多結晶シリコン膜8を形成する。このエミッタ領域の多結晶シリコン膜8の膜中には、ヒ素をイオン注入技術によって導入する。続いて、既存のRIE技術により、多結晶SiGe混晶層6のベースの取り出し電極となる部分を開口し、イオン注入技術によりボロンを導入する。その後、熱処理を行い、エミッタ、ベース取り出し電極部およびSIIIC部7の各領域に導入した不純物を活性化させる。

【0014】続いて、図5(e)に示すように、既存のCVD技術にて酸化シリコン膜23を形成し、酸化シリコン膜23のベース、エミッタ、コレクタ電極部を開口する。その後、既存のCVD技術によって、ベース、エミッタ、コレクタ電極部にタングステンコンタクト9を形成する。次に、例えばスパッタリング法により例えばAl合金膜を形成し、この後、Al合金膜を所定形状にパターニングすることにより、ベース電極配線10、エミッタ電極配線11、およびコレクタ電極配線12を形成する。

【0015】しかしながら、上述のようなSiGe混晶層の形成方法においては、素子分離用の絶縁膜として酸化シリコン膜4を用いるために、この素子分離用絶縁膜上に形成される多結晶膜と能動領域に形成されるエピタキシャル膜との境界付近において結晶欠陥が発生する。これは、酸化シリコンの熱膨張係数($5.0 \times 10^{-7}/^\circ\text{C}$)とシリコンの熱膨張係数($7.6 \times 10^{-6}/^\circ\text{C}$)が大きく異なることから、この境界部分に応力が集中し、ミスフィット転位を引き起こすからである。従って、このような結晶欠陥により半導体装置の歩留りを著しく低下させる問題が発生する。また、このような結晶欠陥は電流増幅率の低下にも影響し、半導体装置の品質低下を招くものとなる。

【0016】本発明は、このような実状に鑑みてなされたものであり、その目的とするところは、例えばバイポーラトランジスタのベース層にシリコン-ゲルマニウムのエピタキシャル混晶層を使用する場合等に、ベース層と下地との熱膨張係数の差に伴う応力によるミスフィット転位を抑制し、これによる歩留り低下の防止や品質の劣化を防止することが可能な半導体装置及びその製造方法を提供することにある。

【0017】

【課題を解決するための手段】本発明は前記目的を達成

するため、半導体基板上に設けられる素子形成層と、前記素子形成層上に設けられ、バイポーラトランジスタのベースとなる能動領域に対応する開口部を有して形成された素子分離絶縁膜と、前記素子分離絶縁膜の開口部からその周辺領域にわたる領域に形成されるベース層と、前記素子分離絶縁膜とベース層との間に設けられ、熱膨張による応力を緩和する応力緩和層とを有することを特徴とする。また本発明は、半導体基板上に素子形成層を設ける第1のステップと、前記素子形成層上にバイポーラトランジスタのベースとなる能動領域に対応する開口部を有する素子分離絶縁膜を設ける第2のステップと、前記素子分離絶縁膜上に応力緩和層を形成する第3のステップと、前記素子分離絶縁膜の開口部からその周辺領域にわたる領域にベース層を形成する第4のステップとを有することを特徴とする。

【0018】本発明の半導体装置によれば、素子分離絶縁膜とベース層との間に熱膨張による応力を緩和する応力緩和層を設けたことから、素子分離絶縁膜とベース層の熱膨張係数の差によって生じる応力を緩和でき、この応力に伴うミスフィット転位を抑制できる。したがって、例えばベース層にシリコンゲルマニウムのエピタキシャル混晶層を使用するヘテロ接合バイポーラトランジスタにおいて、歩留りの改善や品質の向上を図ることが可能となる。また本発明の半導体装置の製造方法によれば、素子分離絶縁膜とベース層との間に熱膨張による応力を緩和する応力緩和層を設けたことから、素子分離絶縁膜とベース層の熱膨張係数の差によって生じる応力を緩和でき、この応力に伴うミスフィット転位を抑制できる。したがって、例えばベース層にシリコンゲルマニウムのエピタキシャル混晶層を使用するヘテロ接合バイポーラトランジスタにおいて、歩留りの改善や品質の向上を図ることが可能となる。

【0019】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。なお、以下に説明する実施の形態は、本発明の好適な具体例であり、技術的に好ましい種々の限定が付されているが、本発明の範囲は、以下の説明において、特に本発明を限定する旨の記載がない限り、これらの態様に限定されないものとする。図1及び図2は、本発明の実施の形態によるSiGeHBTの製造工程を示す断面図である。本実施の形態では、バイポーラトランジスタのベース領域となる素子分離絶縁膜の能動領域開口部に、シリコンゲルマニウム(SiGe)のエピタキシャル混晶層によるベース層を設ける場合に、シリコン酸化膜よりなる素子分離絶縁膜とSiGe混晶層との間に熱膨張係数がシリコンに近い窒化シリコン膜よりなる応力緩和層を設けるようにしたものである。このような応力緩和層を設けることにより、素子分離用絶縁膜上に形成される多結晶膜と能動領域に形成されるエピタキシャル膜との境界付近にかかる応力を低

減し、境界付近の結晶性を改善する。

【0020】以下、本実施の形態における具体的な構成について図1及び図2を用いて説明する。なお、従来例と共通の構成については、同一符号を用いて説明する。まず、図1(A)において、P型シリコン基板1に酸化シリコン膜を熱酸化により形成し、NPNトランジスタのコレクタ領域に対応する酸化シリコン膜を開口する。そこに、Sb₂O₃による固体ソース拡散を行ない、N⁺のコレクタ領域2を形成する。その後、既存技術によりN-エピタキシャル層3を形成する。その後、LOCOS法による素子分離酸化シリコン膜4を形成する。続いて、前記N-エピタキシャル層3中の所定部分にN⁺のコレクタ領域2と接続するN+型プラグ層21を形成する。その後、熱酸化による酸化シリコン膜5を10nm形成し、さらに減圧CVD技術によるシリコン窒化膜(Si₃N₄)51を50nm形成する。このシリコン窒化膜51が上述した応力緩和層を構成するものである。

【0021】続いて、図示しないCVD技術によりCVD酸化シリコン膜を形成し、さらに熱処理を加えて、このCVD酸化シリコン膜を緻密化させる。続いて、NPNトランジスタのベース領域となる部分にレジストパターンを形成し、希フッ酸水溶液を用いて、CVD酸化シリコン膜を開口する。続いて、この開口したCVD酸化シリコン膜をマスクとして所定の温度に加熱(150°C程度)した磷酸を用いてシリコン窒化膜51を開口する。続いて、希フッ酸水溶液を用いて酸化シリコン膜5を開口すると同時に、シリコン窒化膜51のエッチング時にマスクとして用いたCVD酸化シリコン膜の除去を行う。以下、上述した従来例と同じ手法によってSiGeのエピタキシャル混晶層を形成する。そして、SiGeのエピタキシャル成長工程の後には、従来技術で説明した手法により、ベース、エミッタ、コレクタの電極を形成する。なお、これらは従来例と同様であるので説明は省略する。

【0022】以上のように、本実施の形態による半導体装置の製造方法においては、素子分離酸化シリコン膜4及び酸化シリコン膜5の上層に応力緩和層として減圧CVD技術によって形成したシリコン窒化膜51を設けた。ここで、シリコン窒化膜の熱膨張係数は $4.0 \times 10^{-6}/^{\circ}\text{C}$ であり、図8に示すシリコンバッファ層61との熱膨張係数の差が小さくなり、剪断応力を低減することが可能となる。したがって、SiGe混晶層形成後のミスフィット転位の発生を低減することが可能であり、半導体デバイスの歩留りを改善し、かつ、半導体装置の信頼性が向上でき、さらに高集積な半導体装置を提供することが可能になる。

【0023】図3は、以上のようにして形成されたNPNトランジスタにおいて、N+型エミッタ領域の表面からP型シリコン基板1の方向へ向かって見たときの深さ

方向の不純物分布の一例を示す説明図である。図3の横軸は深さを示し、左側の縦軸は対数で不純物濃度を示し、右側の縦軸は線形でゲルマニウム濃度を示している。また、折線aはAsの濃度分布、破線bはBの濃度分布、破線cはGeの濃度分布、破線dはPの濃度分布、破線eはSbの濃度分布を示している。そして、図3で α に示す領域がベース層に対応する部分であり、従来はこの領域付近でベース層のミスフィット転位が発生していたが、本実施の形態による手法により、この部分のミスフィット転位を低減できる。

【0024】

【発明の効果】以上説明したように本発明の半導体装置によれば、素子分離絶縁膜とベース層との間に熱膨張による応力を緩和する応力緩和層を設けたことから、素子分離絶縁膜とベース層の熱膨張係数の差によって生じる応力を緩和でき、この応力に伴うミスフィット転位を抑制できる。したがって、例えばベース層にシリコン-ゲルマニウムのエピタキシャル混晶層を使用するヘテロ接合バイポーラトランジスタにおいて、歩留りの改善や品質の向上を図ることが可能となる。

【0025】また本発明の半導体装置の製造方法によれば、素子分離絶縁膜とベース層との間に熱膨張による応力を緩和する応力緩和層を設けたことから、素子分離絶縁膜とベース層の熱膨張係数の差によって生じる応力を緩和でき、この応力に伴うミスフィット転位を抑制できる。したがって、例えばベース層にシリコン-ゲルマニウムのエピタキシャル混晶層を使用するヘテロ接合バイポーラトランジスタにおいて、歩留りの改善や品質の向

上を図ることが可能となる。

【図面の簡単な説明】

【図1】本発明の実施の形態によるSiGeHBTの製造工程を示す断面図である。

【図2】本発明の実施の形態によるSiGeHBTの製造工程を示す断面図である。

【図3】図1及び図2に示すSiGeHBTにおける不純物分布の一例を示す説明図である。

【図4】従来のSiGeHBTの製造工程を示す断面図である。

【図5】従来のSiGeHBTの製造工程を示す断面図である。

【図6】図4(b)に示す工程におけるSiGeHBTの一部を拡大して示す断面図である。

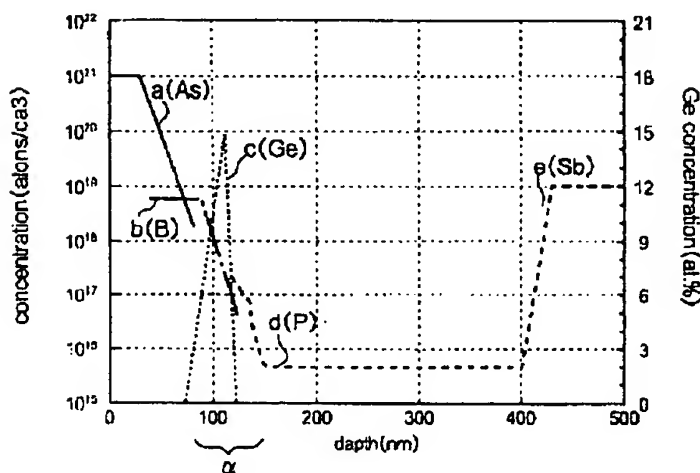
【図7】SiGe混晶層の成膜作業におけるタイムチャートを示す説明図である。

【図8】SiGe混晶層の構造を拡大して示す断面図である。

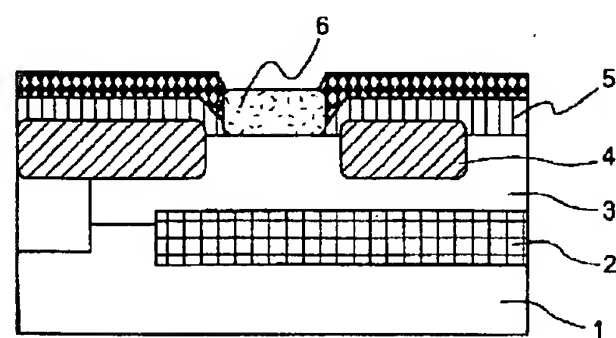
【符号の説明】

1……P型シリコン基板、2……N+型コレクタ領域、3……N-型エピタキシャル層、4……素子分離酸化シリコン膜、5……酸化シリコン膜、6……SiGe混晶層、7……SIC領域、8……多結晶シリコン膜、9……タングステンコンタクト、10……ベース電極配線、11……エミッタ電極配線、12……コレクタ電極配線、21……N+型プラグ層、22……酸化シリコン膜、23……酸化シリコン膜、51……シリコン窒化膜（応力緩和層）。

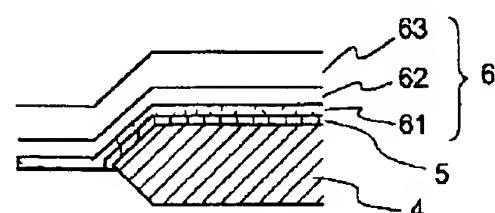
【図3】



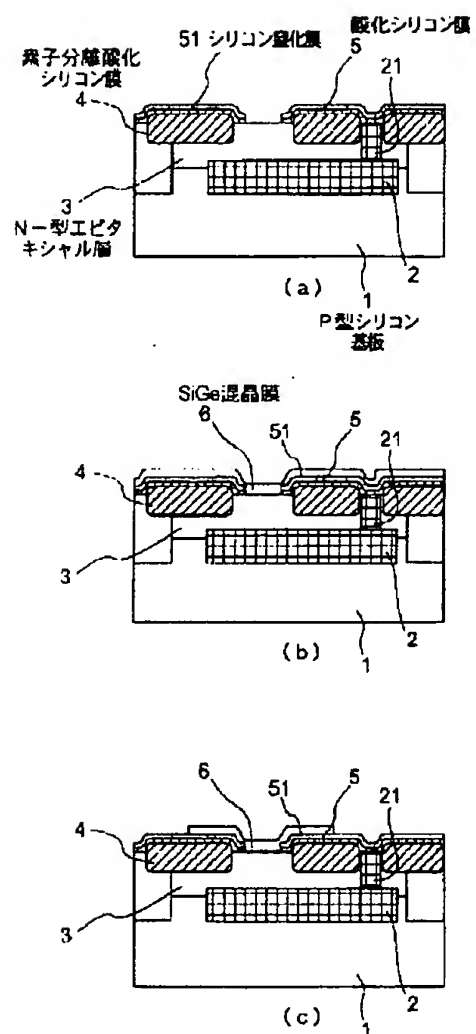
【図6】



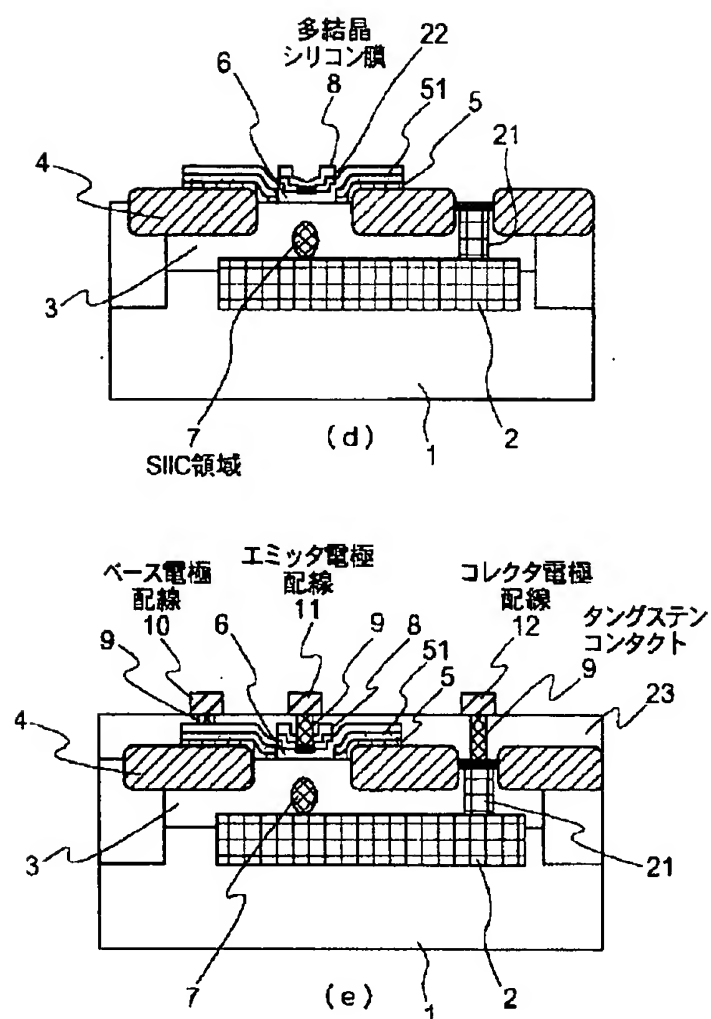
【図8】



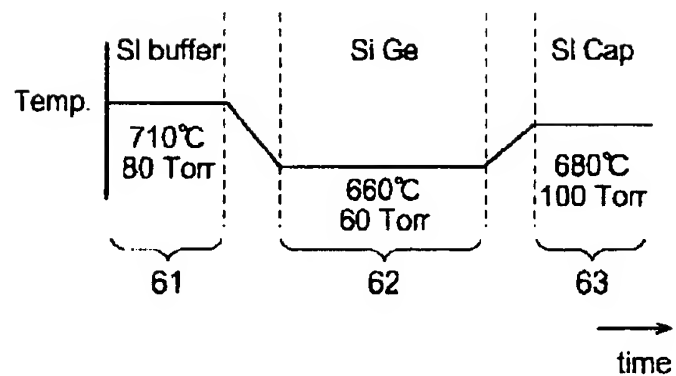
【圖 1】



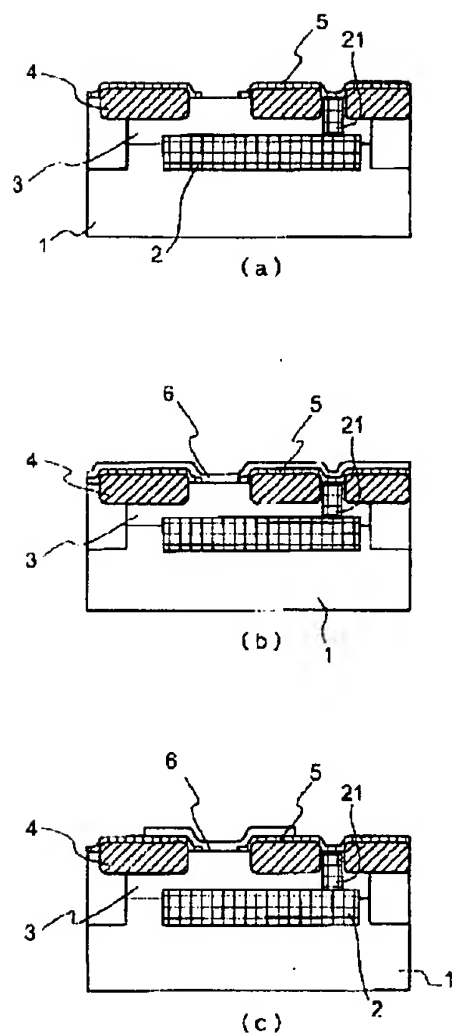
【図2】



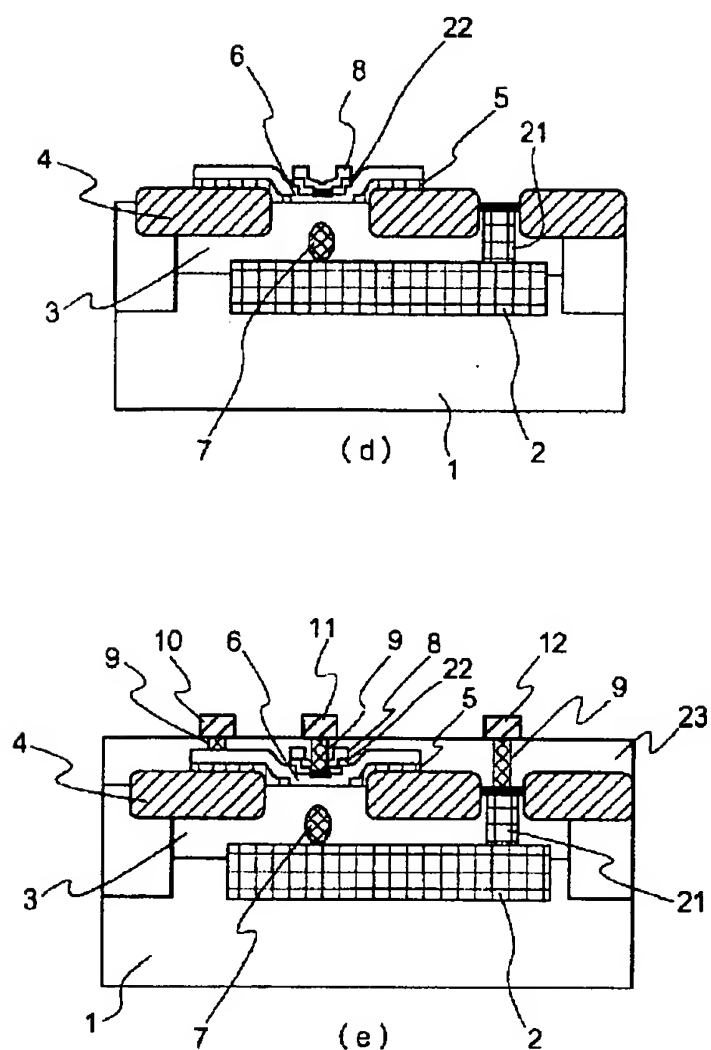
【圖7】



【図4】



【図5】



フロントページの続き

Fターム(参考) 4K030 AA05 AA06 BA09 BA29 BA48
BB12 CA04 FA10 LA15
5F003 BA97 BB02 BB04 BB90 BC01
BC08 BE07 BF06 BG06 BH18
BH93 BM01 BP31 BP34 BS06
BS08